

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-152360

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H03K 17/60

(21)Application number : 04-293370

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 30.10.1992

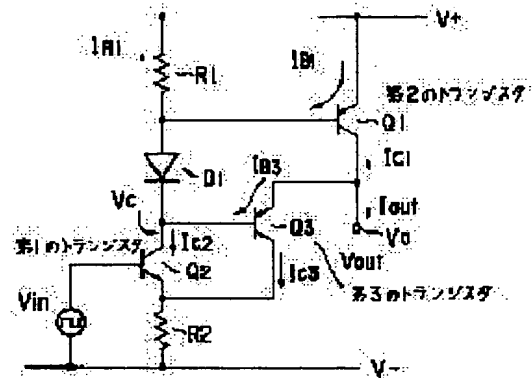
(72)Inventor : SATOKATA AKIHIKO

## (54) SWITCHING CIRCUIT WITH CLAMPING FUNCTION

### (57)Abstract:

**PURPOSE:** To provide a switching circuit having a clamping function which is appropriate for integration without constituting a parasitic element.

**CONSTITUTION:** The switching circuit is constituted of the 1st transistor (TR) Q2 connecting its collector to a power supply V+ through a diode D1 and a resistor R1 and connecting its emitter to a reference potential (V-) through a resistor R2 so as to be driven by an input signal (Vin), the 2nd TR Q1 connecting its base, emitter and collector respectively to the anode of the diode D1, the power supply V+ and an output terminal Vo and the 3rd TR Q3 connecting its base, emitter and collector respectively to the collector of the TR Q2, the collector of the TR Q1 and the emitter of the TR Q2 so as to be controlled at its drive by the collector potential of the TR Q2, branch a prescribed current from an output current and allow the branched current to flow into the reference potential.



## LEGAL STATUS

[Date of request for examination] 15.10.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3194798

[Date of registration] 01.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-152360

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 K 17/60

9184-5 J

H 0 3 K 17/ 60

A

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平4-293370

(22)出願日 平成4年(1992)10月30日

(71)出願人 000000376

オリンパス光学工業株式会社  
東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 里方 昭彦

東京都渋谷区幡ヶ谷2丁目43番2号 オリ  
ンパス光学工業株式会社内

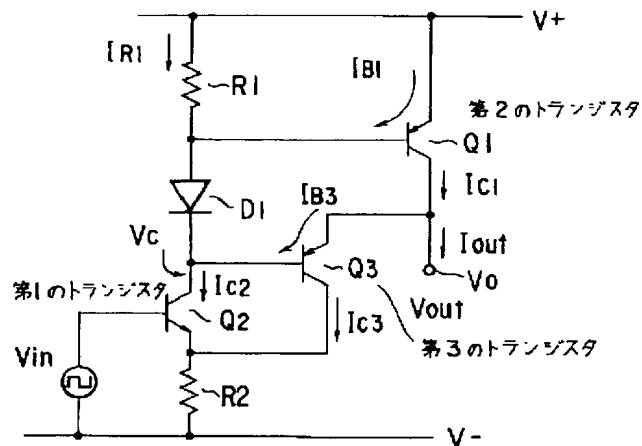
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 クランプ機能付きスイッチ回路

(57)【要約】

【目的】本発明は、寄生素子が構成されることがなく、集積化に好適する、クランプ機能を有するスイッチ回路を提供することを目的とする。

【構成】本発明は、入力信号 ( $V_{in}$ ) により駆動されるトランジスタ  $Q_2$  のコレクタがダイオード  $D_1$  及び抵抗  $R_1$  を介して電源  $V^+$  に接続され、そのエミッタが抵抗  $R_2$  を介して、基準電位 ( $V^-$ ) に接続され、またトランジスタ  $Q_1$  は、ベースがダイオード  $D_1$  のアノードに接続され、エミッタが電源  $V^+$  に接続され、コレクタには出力端子  $V_o$  が設けられ、さらにベースがトランジスタ  $Q_2$  のコレクタに接続され、そのエミッタが前記トランジスタ  $Q_1$  のコレクタに接続され、コレクタがトランジスタ  $Q_2$  のエミッタに接続され、トランジスタ  $Q_2$  のコレクタ電位により駆動制御されて、出力電流から所定の電流を分岐し基準電位に流すトランジスタ  $Q_3$  により構成されるスイッチ回路である。



## 【特許請求の範囲】

【請求項 1】 入力信号により駆動し、コレクタがダイオード及び第 1 の抵抗を介し電源に接続され、エミッタが第 2 の抵抗を介して基準電位に接続される第 1 のトランジスタと、

前記ダイオードのアノードにベースが接続され、第 1 のトランジスタの駆動に応動して、予め定められた電位を出力する若しくは、オープン状態に切り替えられる第 2 のトランジスタと、

前記第 1 のトランジスタのコレクタにベースが接続され、前記第 2 のトランジスタのコレクタにエミッタが接続され、前記第 1 のトランジスタのエミッタにコレクタが接続され、前記第 1 のトランジスタのオン時に、第 2 のトランジスタのコレクタ側の電位を一定電位に制御する第 3 のトランジスタとを具備することを特徴とするクランプ機能付きスイッチ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、出力電圧を所定値に制御するクランプ機能を有するスイッチ回路に関する。

## 【0002】

【従来の技術】図 2 には、従来の PNP 形トランジスタを用いたスイッチ回路を示す。このスイッチ回路においては、入力信号（ $V_{in}$ ）により駆動するトランジスタ Q 2 のコレクタが抵抗 R 1 を介して電源  $V+$  に接続され、エミッタが抵抗 R 2 を介して基準電位（ $V-$ ）に接続され、さらに、トランジスタ Q 1 のベースが前記トランジスタ Q 2 のコレクタに接続され、そのエミッタが前記電源  $V+$  に接続され、そのコレクタに出力端子  $V_o$  が設けられて構成されている。

【0003】このようなスイッチ回路において、入力信号の電位  $V_{in}$  が、“High” の時に前記トランジスタ Q 2 をオンし、“Low” の時に該トランジスタ Q 2 を完全にカットオフするようにレベルに設定されている。ここで、入力電位  $V_{in}$  が“High” の時に、前記トランジスタ Q 2 は、次式に示すような電流が流れる。

## 【0004】

## 【数 1】

$$I_{C2} = \frac{V_{in} - V_{BE(Q2)}}{R_2} \quad \dots (1)$$

40

\*

$$V+ - V_{BE(Q1)} - V_{BE(D1)} + V_{BE(D2)} \\ \approx V+ - V_{BE}$$

になった時点で、帰還電流  $I_{C4}$  が流れ始め、結局、出力電位  $V_{out}$  は、前記 (2) 式で求められる値に固定され、前記トランジスタ Q 1 が飽和することがない。また、前記トランジスタ Q 2 がオンした時の各電流の関係は次式ようになる。

## 【0012】

\* 【0005】この電流の一部は抵抗 R 1 を経由して電源  $V+$  から流れ、残りのすべての電流は、トランジスタ Q 1 のベース電流になる。ここで、前記トランジスタ Q 1 の電流増幅率を  $\beta$  とすると、出力電流  $I_{out}$  は、 $\beta \times I_{B1}$  となるが出力電圧端子  $V_o$  に接続される負荷が大きい場合に、出力電位  $V_{out}$  の電位は  $V+$  に近付き、前記トランジスタ Q 1 は、飽和状態になる。なお、この場合、ベース電流  $I_{B1}$  が増えることによって、前記トランジスタ Q 1 の見掛け上の  $\beta$  が下がる。特に集積化された回路の場合には、寄生トランジスタが動作し始め、基板内に電流が流れる。

【0006】一方、入力電位  $V_{in}$  が“Low” の場合、前記トランジスタ Q 1 はカットオフするため、該トランジスタ Q 1 のベース電位は、 $V+$  になり、該トランジスタ Q 1 はカットオフする。従って、出力電圧端子  $V_o$  は、オープン状態になり、接続される負荷によって決まる電位になる。

【0007】このように、入力信号の電位  $V_{in}$  によって出力の電位は、“High”（ほぼ  $V+$ ）から“Low”（負荷で決まる電位）に変わることができ、トランジスタ Q 1 はあたかもスイッチ素子のように動作する。

【0008】しかし前述したように、前記トランジスタ Q 1 が飽和すると、基板内に電流が流れ、そのレベルによっては、他のデバイスに悪影響を与える場合がある。さらに飽和になることによって、前記トランジスタ Q 1 のベース領域に蓄積される過剰電荷により、該トランジスタ Q 1 のオフ時のスピードが遅くなるという問題もある。

【0009】そこで、図 3 に示すようなスイッチ回路により、前述した問題を解決していた。このスイッチ回路は、図 2 に示した回路構成に、トランジスタ Q 1 のベースとトランジスタ Q 2 のコレクタ間にトランジスタからなるダイオード D 1、トランジスタ Q 1 のコレクタとトランジスタ Q 2 のコレクタ間にトランジスタからなるダイオード D 2 が追加された回路である。

【0010】この構成においては、前記トランジスタ Q 2 がオンして電流が流れると、前記トランジスタ Q 1 のコレクタ電位すなわち、出力電位は、上昇し始めるが、この電位が

## 【0011】

## 【数 2】

$$\dots (2)$$

## 【数 3】

$$I_{R1} + I_{n1} + I_{C4} = I_{C2}$$

$$I_{OUT} = I_{C1} - I_{C4}$$

$$I_{C1} = \beta \cdot I_{B1}$$

50 従って、

【0013】

【数4】

$$I_{C4} = \frac{\beta(I_{C2} - I_{R1}) - I_{OUT}}{\beta + 1} \quad \dots (3)$$

\*

$$\begin{aligned} I_{C4} &\approx (I_{C2} - I_{R1}) - I_{OUT} / \beta \\ \therefore I_{C4} &\approx [(V_{IN} - V_{BE}) / R_2 - I_{R1}] - I_{OUT} / \beta \quad \dots (4) \end{aligned}$$

となる。

【0015】

【発明が解決しようとする課題】しかし、前述したスイッチ回路は、従来、クランプ回路として、一般的に利用されていた構成であるが、集積度を高めた集積回路（IC）に採用して、積層構造に組み入れた場合には、次のような問題が発生する。

【0016】まず、図3に示したダイオードD2を図4（a）に示すようなNPNトランジスタで構成した場合には、トランジスタQ2がオフすると、前記トランジスタQ2のコレクタ電位V<sub>c</sub>が上昇する。この時、出力電位V<sub>out</sub>の電位が低いと、ダイオードD2に掛かる逆バイアスが大きくなり、トランジスタのエミッタ・ベース接合間がブレイクダウンを起こし、誤動作を引き起こす可能性がある。

【0017】また、前記ダイオードD2を図4（b）に示すようなPNPトランジスタで構成した場合には、トランジスタQ2がオフすると、前記トランジスタQ2のコレクタ電位V<sub>c</sub>が上昇する。前記NPNトランジスタの場合と同様に、出力電位V<sub>out</sub>の電位が低いと、ダイオードD2に掛かる逆バイアスが大きくなる。この時、ダイオードD2として用いられるトランジスタのコレクタ電位がエミッタ電位よりも高くなるが、場合によっては、エミッタ電極がゲートとして働き、エミッタ及びコレクタをソース、ドレインとするPMOSが構成され動作する可能性があり、誤動作を引き起こす可能性がある。そこで本発明は、寄生素子が構成されることがなく、集積化に好適する、クランプ機能を有するスイッチ回路を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明は上記目的を達成するために、入力信号により駆動し、コレクタがダイオード及び第1の抵抗を介し電源に接続され、エミッタが第2の抵抗を介して基準電位に接続される第1のトランジスタと、前記ダイオードのアノードにベースが接続され、第1のトランジスタの駆動に忠動して、予め定められた電位を出力する若しくは、オープン状態に切り替えられる第2のトランジスタと、前記第1のトランジスタのコレクタにベースが接続され、前記第2のトランジスタのコレクタにエミッタが接続され、前記第1のトランジスタのエミッタにコレクタが接続され、前記第1のトランジスタのオン時に、第2のトランジスタのコレクタ

\*が得られる。ここで、βが1に比べて十分大きいものとする、（3）式は、

【0014】

【数5】

10

側の電位を一定電位に制御する第3のトランジスタとを構成されたクランプ機能付きスイッチ回路を提供する。

【0019】

【作用】以上のような構成のスイッチ回路は、第1のトランジスタがオンした時には、第2のトランジスタのコレクタ電位が上昇しようとするが、第3のトランジスタのオンにより、エミッタに電流が流れ始め、コレクタを通過して前記第1のトランジスタのエミッタへ帰還される。また、第1のトランジスタがオフになった時には、第3のトランジスタのコレクタ電位が常に最低電位になるため、コレクタとエミッタの電位が逆転せず、寄生のPMOSによる誤動作が発生されない。

【0020】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。

【0021】図1には、本発明による実施例としてのスイッチ回路の構成を示し説明する。このスイッチ回路において、入力信号（V<sub>in</sub>）により駆動されるトランジスタQ2は、コレクタがダイオードD1のカソードに接続され、エミッタが抵抗R2を介して、基準電位（V<sub>-</sub>）に接続される。前記ダイオードD1のアノードは抵抗R1を介して、電源V<sub>+</sub>に接続される。また、トランジスタQ1は、ベースが前記ダイオードD1のアノードに接続され、エミッタが前記電源V<sub>+</sub>に接続され、コレクタには出力端子V<sub>o</sub>が設けられている。さらにベースが前記トランジスタQ2のコレクタに接続され、そのエミッタが前記トランジスタQ1のコレクタに接続され、コレクタが前記トランジスタQ2のエミッタに接続され、前記トランジスタQ2のコレクタ電位により駆動制御されて、出力されるべき電流から所定の電流を分岐して、抵抗R2を介して基準電位に流すトランジスタQ3が設けられている。

【0022】このように構成されたスイッチ回路において、トランジスタQ2がオンした時には、前述したように電流が流れると、前記トランジスタQ1のコレクタ電位すなわち、出力電位V<sub>out</sub>が上昇しようとするが、

【0023】

【数6】

$$V_{OUT} \approx V_+ - V_{BE}$$

になった時点で、トランジスタQ3のエミッタに電流が流れ始める。この電流は、コレクタを通過して前記トランジスタQ2のエミッタへ帰還される。前記トランジスタ

Q3のベース電流 $I_{B4}$ を無視すると、各電流の関係は次式のようになる。

$$I_{OUT} = I_{C1} - I_{C4}$$

$$I_{R1} + I_{B1} = I_{C2}$$

$$I_{C1} = \beta \cdot I_{B1}$$

$$I_{C2} + I_{C4} = (V_{IN} - V_{BE}) / R_2$$

したがって、

$$I_{C4} = \frac{\beta [(V_{IN} - V_{BE}) / R_2 - I_{R1}] - I_{OUT}}{\beta + 1} \quad \dots (5)$$

が得られる。ここで、 $\beta$ が1より十分大きいとすると  
(5)式は、次式のようになる。

【0025】

【数8】

$$I_{C4} \approx [(V_{in} - V_{BE}) / R_2 - I_{R1}] - I_{OUT} / \beta \quad \dots (6)$$

【0026】この(8)式は、従来例に示した(4)式と同等である。また、前記トランジスタQ2がオフになった時に、コレクタの電位 $V_c$ は、上昇していくが、同時に、前記トランジスタQ3のコレクタ電位が $V_-$ になる。

【0027】以上のように本実施例のスイッチ回路は、前記トランジスタQ3のコレクタ電位が前記トランジスタQ2がオフになったときでも、常に最低電位になるため、コレクタとエミッタの電位が逆転することなく、コレクタとエミッタの電位が逆転することにより発生した寄生のPMOSが構成されず、誤動作が発生しない。

【0028】また本実施例は、出力段にPNPトランジスタを用いたが、これに限定されるものではなく、NP

20

30

【0024】

【数7】

であることは勿論である。

【0029】

【発明の効果】以上詳述したように本発明によれば、寄生素子が構成されることがなく、集積化に好適する、クランプ機能を有するスイッチ回路を提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明による実施例としてのスイッチ回路の構成を示す図である。

【図2】図2は、従来のPNP形トランジスタを用いたスイッチ回路の構成を示す図である。

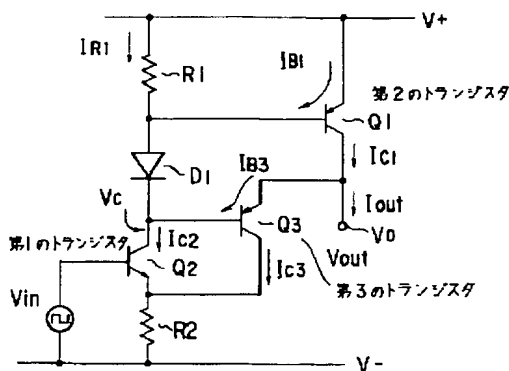
【図3】図3は、図2に示したスイッチ回路の問題を解決するように構成されたスイッチ回路の構成例を示す図である。

【図4】図4は、ダイオードをNPNトランジスタ及びPNPトランジスタで構成した接続例を示す図である。

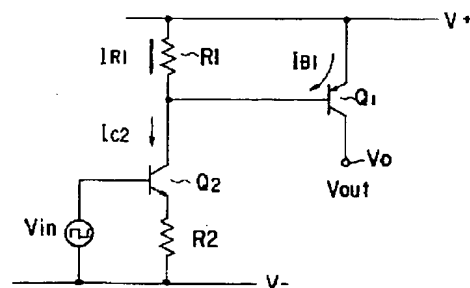
【符号の説明】

Q1、Q2、Q3…トランジスタ、D1、D2…ダイオード、R1、R2…抵抗。

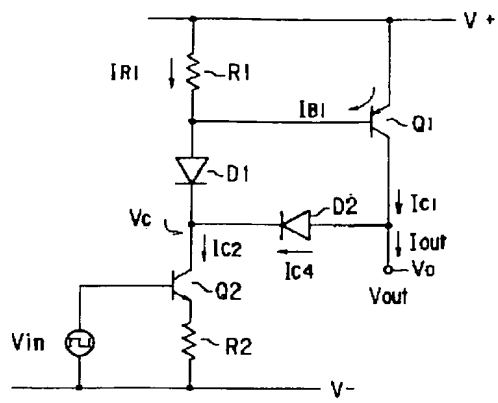
【図1】



【図2】



【図3】



【図4】

